

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-110083

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

H01L 29/784

(21)Application number : 03-266482 (71)Applicant : OKI ELECTRIC IND CO LTD

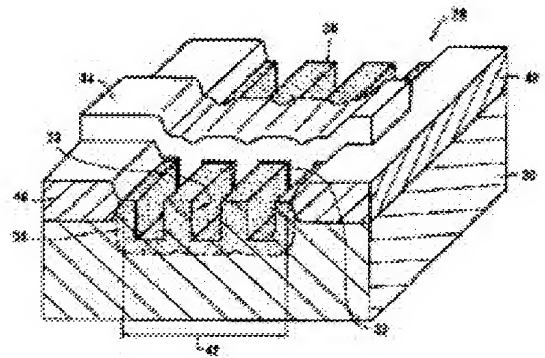
(22)Date of filing : 15.10.1991 (72)Inventor : UCHIYAMA AKIRA
OCHIAI TOSHIYUKI

(54) FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To restrain a drain current from decreasing in quantity when a FET is micronized.

CONSTITUTION: Grooves 39 are provided onto an element forming region 42 of a FET 28 extending in parallel with the lengthwise direction of a gate, and a gate oxide film 32 and a gate electrode 34 are successively provided onto the element forming region 42 where the grooves 39 are provided. A source region 36 and a drain region 38 are arranged so as to sandwich the gate electrode 34 between them, and the element forming region 42 is provided. The source region 36 and the drain region 38 are of impurity-containing regions which are formed by adding impurities to the element forming region 42 using the gate electrode 34 as a mask. The surface part of the element forming region 42 where grooves are provided becomes longer in a direction which crosses a direction in which a drain current flows than a case where grooves are not provided, and therefore an effective gate length is enhanced.



(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-110083

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

8225-4M

H 0 1 L 29/ 78

3 0 1 V

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号

特願平3-266482

(22)出願日

平成3年(1991)10月15日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 内山 章

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 落合 利幸

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

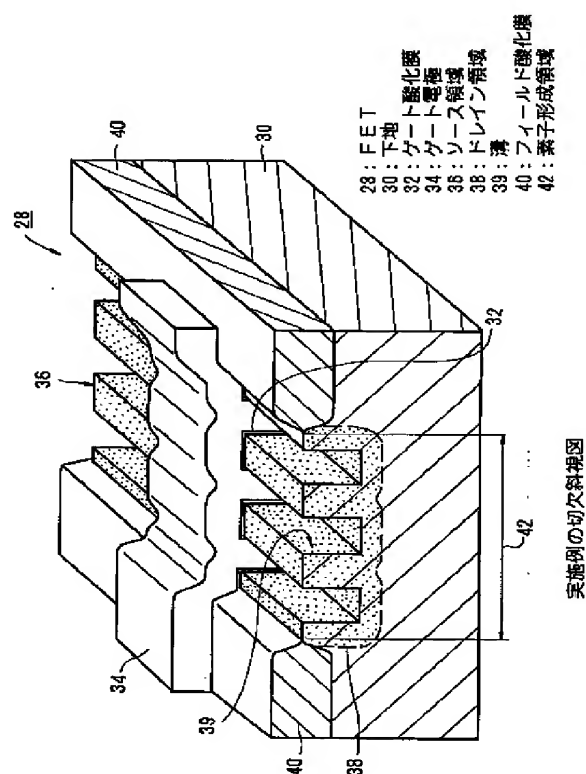
(74)代理人 弁理士 大垣 孝

(54)【発明の名称】 電界効果トランジスタ

(57)【要約】

【目的】 F E Tを微細化する場合にドレイン電流量が減少するのを抑制する。

【構成】 F E T 28の素子形成領域42にゲートの長さ方向に平行に延在する複数の溝39を設け、溝39を設けた素子形成領域42上に順次にゲート酸化膜32及びゲート電極34を設ける。そしてソース領域36及びドレイン領域38を、ゲート電極34を挟むように配置して、素子形成領域42に設ける。ソース領域36及びドレイン領域38はゲート電極34をマスクとして素子形成領域42に不純物を添加して形成した不純物添加領域である。素子形成領域42の溝を設けた部分ではドレイン電流が流れる方向と交差する方向における素子形成領域42の表層部分の長さが溝39を設けない場合よりも長くなり、従って実効的なゲート幅が増加する。この結果、目的を達成できる。



【特許請求の範囲】

【請求項1】 半導体材料から成る下地と、該下地の素子形成領域上に順次に設けたゲート酸化膜及びゲート電極と、該ゲート電極を挟むように配置して前記素子形成領域に設けたソース領域及びドレイン領域とを備えて成る電界効果トランジスタにおいて、前記素子形成領域の少なくともゲート電極直下の領域にソース領域及びドレイン領域を結ぶ方向に延在させて溝を設けたことを特徴とする電界効果トランジスタ。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は電界効果トランジスタの構造に関する。

【0002】

【従来の技術】 現在、超LSI (Very Large Scale Integration) を構成する基本素子として、MOS構造の電界効果トランジスタ (Metal Oxide Semiconductor Field Effect Transistor: MOSFETと称す) が広く用いられている。以下、図面を参照し、従来のMOSFETの構造につき概略的に説明する。尚、MOSFETの製造方法及び素子構造の詳細に関しては、例えば文献1: 超高速MOSデバイス 培風館 昭和61年2月10日 p117~125を参照されたい。

【0003】 図10 (A) 及び (B) は従来のMOSFETの要部構成を概略的に示す断面図及び平面図であり、図10 (A) は図10 (B) のA-A線に沿って取った断面を示す。図においては超LSIが備えるMOSFET1素子に着目して、その要部構成を示した。

【0004】 図10 (A) ~ (B) にも示すように、FET10は基板12とゲート酸化膜16及びゲート電極18と、ソース領域20及びドレイン領域22とを備える。基板12上には、超LSIが備えるFET10とこれ以外の素子とを電氣的に分離するためのフィールド酸化膜24を設け、フィールド酸化膜24に基板12の素子形成領域14を露出する窓26を設ける。そして窓24を介し露出する素子形成領域14上に順次にゲート酸化膜16及びゲート電極18を設ける。またソース領域20及びドレイン領域22をゲート電極18の一方及び他方の側部に隣接させて素子形成領域14に設ける。図中、ソース領域20及びドレイン領域22に点を付して示した。

【0005】

【発明が解決しようとする課題】 しかしながら上述した従来のMOSFETは、LSIの集積度を高める際にいくつもの問題点を生じる。以下、この点につき説明する。

【0006】 LSIの集積度を高めるためにはその構成要素であるMOSFETを微細化しその占有面積を縮小

すればよいが、この際にスケールリング則に従ってMOSFETのゲート幅W及びゲート長L (図10参照) を縮小する必要がある。ゲート長Lの縮小は、ソースドレイン間の電界強度を強めるのでドレイン電流の増加を促しまた動作速度を向上させるという利点をもたらす。しかしドレイン電流はゲート幅Wに比例して増減するので、ゲート幅Wの縮小はドレイン電流の低下をもたらす従ってゲート長Lの縮小によるドレイン電流の増加を打ち消す。従ってゲート長Lの縮小によって必ずしも有効にドレイン電流を増加させることはできなかった。

【0007】 この発明の目的は、上述した従来の問題点を解決し、微細化に伴うドレイン電流の減少を防止できる構造の電界効果トランジスタを提供することにある。

【0008】

【課題を解決するための手段】 この目的の達成を図るため、この発明の電界効果トランジスタは、半導体材料から成る下地と、下地の素子形成領域上に順次に設けたゲート酸化膜及びゲート電極と、ゲート電極を挟むように配置して素子形成領域に設けたソース領域及びドレイン領域とを備えて成る電界効果トランジスタにおいて、素子形成領域の少なくともゲート電極直下の領域にソース領域及びドレイン領域を結ぶ方向に延在させて溝を設けたことを特徴とする。

【0009】

【作用】 このような構造によれば、溝はソース領域及びドレイン領域を結ぶ方向に延在するので、素子形成領域の溝を設けた部分ではドレイン電流が流れる方向と交差する方向における素子形成領域の表層部分の長さPが溝を設けない場合よりも長くなり、従って実質的なゲート幅が増加する。しかも平面的に見たときの素子形成領域の面積を一定としたままであっても溝の配設個数及び又は深さを増加させると長さPが増加するので、平面的に見たときの素子形成領域の面積を増加させずに実質的なゲート幅を増加させることができる。換言すれば、電界効果トランジスタを微細化した場合に、平面的に見てゲート幅が縮小しても、実質的なゲート幅を大きく取ることによりドレイン電流の減少を抑制することができる。

【0010】

【実施例】 以下、図面を参照し、この発明の実施例につき説明する。尚、図面はこの発明が理解できる程度に概略的に示してあるにすぎず、従ってこの発明を図示例に限定するものではない。

【0011】 図1はこの発明の実施例の要部構成を概略的に示す切欠斜視図である。この実施例のFET28はLSIに搭載されるMOSFETであり、図1においてはその要部構成を示した。

【0012】 この実施例のFET28は下地30と、ゲート酸化膜32及びゲート電極34と、ソース領域36及びドレイン領域38と、溝39とを備える。

【0013】 下地30は第一導電型の半導体材料から成

る下地例えばp型Si基板であり、この下地30上に、LSIに搭載されるFET28とこれ以外の電気回路素子とを分離するためのフィールド酸化膜40を設ける。フィールド酸化膜40は下地30の素子形成領域42を露出する窓を備え、この素子形成領域42上に順次にゲート酸化膜32及びゲート電極34を設ける。そしてソース領域36及びドレイン領域38をゲート電極34を挟むように配置して素子形成領域42に設ける。ソース領域36及びドレイン領域38は、第一導電型とは反対の第二導電型の不純物例えばn型不純物を素子形成領域42に添加して形成した領域である。

【0014】そして素子形成領域42の少なくともゲート電極34直下の領域に、ソース領域36及びドレイン領域38を結ぶ方向に延在させて溝39を設ける。この実施例では、複数の溝39をゲート電極34の長さ方向に平行に延在させ、ゲート電極34直下のみならずソース領域36及びドレイン領域38にも設ける。ソース領域36及びドレイン領域38にも溝39を設けることにより、ソース領域36及びドレイン領域38をそれぞれ対応する電極と接続した際にこれら領域と電極との接触面積を大きく取ることができ、従ってこれら領域と電極とのコンタクト抵抗を低減できる。

【0015】次にこの実施例のFET28の製造方法につき一例を挙げて説明する。図2～図9はこの実施例の製造工程の説明図である。図3(A)～(B)と図2、図4～図9それぞれの(A)とはFETの製造途上においてゲート電極直下に対応する領域の素子形成領域及びその近傍部分の様子を、ゲート電極幅方向に沿って取った断面で概略的に示す断面図、また図2及び図4～図9それぞれの(B)はFETの製造途上において素子形成領域及びその近傍部分の様子を概略的に示す平面図である。しかも図2、図4～図9の(A)及び(B)は同一工程段階における断面図及び平面図である。

【0016】この実施例のFET28を製造するに当たり、下地30として第一導電型の下地例えばp型Si基板を用意する。次いで図2(A)及び(B)にも示すように、下地30上にパッド酸化膜44を形成する。パッド酸化膜44は、例えば熱酸化法により形成したSiO₂膜であり、フィールド酸化膜40形成時の応力緩和を目的として形成される。次いでパッド酸化膜44上に、マスク形成用膜46を積層する。マスク形成用膜46は酸化されにくい材料から成り例えばCVD(Chemical Vapor Deposition)法により形成したSi₃N₄膜である。次いでマスク形成用膜46上に、これのパターニングに用いるレジストパターン48を形成する。レジストパターン48を素子形成領域42に対応する領域に、好ましくは素子形成領域42よりも少し広くして形成する。

【0017】次に図3(A)にも示すように、レジストパターン48をマスクとしてマスク形成用膜46をパタ

ーニングし、パターニングしたマスク形成用膜46から成るマスク50を得る。この際、パッド酸化膜44をパターニングせずにマスク形成用膜46のみを選択的にパターニングする。次いでチャンネルストップ用の不純物例えばBイオンを素子形成領域42の周辺部の下地30に選択的に添加する。図中、このイオンを添加した領域をばつ印を付して概略的に示した。

【0018】次に図3(B)にも示すように、レジストパターン48を除去し、然る後マスク50を用いて選択的に下地30を酸化し下地30上にフィールド酸化膜40を形成する。マスク50は酸化されにくいので下地30のマスク50で覆われていない領域上に選択的に、フィールド酸化膜40が形成される。

【0019】次に図4(A)～(B)にも示すように、マスク50及びパッド酸化膜44を除去し、フィールド酸化膜40に窓52を形成する。窓52を介し素子形成領域42の下地30を露出させる。

【0020】次に図5(A)～(B)にも示すように、窓52を介し露出する素子形成領域42上に溝形成用のマスク54を形成する。マスク54はゲート長さ方向に延在するストライプ状の複数の窓56を有する。素子形成領域42の溝形成部分を窓56を介し露出し残りの部分をマスク54で覆う。然る後例えば従来周知のドライエッチング法により、素子形成領域42の溝形成部分を選択的にエッチング除去し、素子形成領域42に溝39を形成する。溝39を形成した後、マスク54を除去する。

【0021】図示例では、溝39の配設個数を3個及び深さを平面的に見た場合のゲート幅の1/4の長さとしたが、これら配設個数及び深さは設計に応じて任意好適に変更することができる。溝39の深さ及び又は配設個数を増減させることにより、実効的なゲート幅を増減させることができる。実効的なゲート幅を増加させるには素子形成領域42の少なくともゲート電極直下に対応する領域(チャンネル領域)に溝39を設けてあげればよいが、図示例では溝39を素子形成領域42のソース領域からドレイン領域まで延在させて設けた。ソース領域及び又はドレイン領域に溝39を設けることにより、ソース領域及び又はドレイン領域と、対応する電極との間のコンタクト抵抗を低減できる。

【0022】次に図6(A)～(B)にも示すように、溝39を設けた素子形成領域42にゲート酸化膜形成用の酸化膜58を形成する。酸化膜58は例えば、素子形成領域42を900℃程度に加熱して熱酸化することにより形成した膜厚3～20nm程度のSiO₂膜である。次いで素子形成領域42のチャンネル部分に対ししきい値電圧を制御するための不純物を例えばイオン注入法により添加する。この際、溝39の底部のみならず側壁部分にも不純物を添加するため、下地30の主平面(この例ではSi基板の基板面)に対して垂直な方向からの

みならず主平面に対して斜めの複数の方向から、溝39側壁部分へ、不純物を入射させるのがよい。図中、この不純物を注入した領域を白抜き丸印を付して概略的に示した。

【0023】次に図7(A)～(B)にも示すように、酸化膜58上にゲート電極形成用の膜例えばポリシリコン膜60を積層し、然る後ポリシリコン膜60上にレジストマスク62を形成する。マスク62はポリシリコン膜60のゲート電極形成部分を覆い残りの部分を露出する。

【0024】次に図8(A)～(B)にも示すように、ポリシリコン膜60のゲート電極形成部分を残存させ残りの部分をエッチング除去して、残存するポリシリコン膜60から成るゲート電極34を得ると共にフィールド酸化膜40を露出させる。次いで酸化膜58のゲート電極直下の部分を残存させ残りの部分をエッチング除去して、残存する酸化膜58から成るゲート酸化膜32を得ると共に素子形成領域42のソース及びドレイン領域の溝39を露出させる。次いでマスク62を除去する。

【0025】次に図9(A)～(B)にも示すように、窓52を介し露出する素子形成領域42のソース領域36及びドレイン領域38に選択的に不純物例えばAsイオンを添加し、図1にも示すようにFET28の基本構造を完成する。不純物を添加する際には例えば、ゲート電極34及びフィールド酸化膜40をマスクとし、イオン注入法により不純物を添加する。しかも溝39の底部のみならず側壁部分にも不純物を添加するため、下地30の主平面(この例ではSi基板の基板面)に対して垂直な方向からのみならず主平面に対して斜めの複数の方向から、溝39側壁部分へ、不純物を入射させるのがよい。図9(B)中、不純物を添加したソース領域36及びドレイン領域38を点を付して示した。

【0026】次に図示せず、従来公知の方法により、ゲート電極34、ソース領域36及びドレイン領域38上に中間絶縁膜を積層し、次いで中間絶縁膜にソース領域36及びドレイン領域38を露出するコンタクト穴を形成する。次いでコンタクト穴を介しソース領域36及びドレイン領域38と接続する配線電極を中間絶縁膜上に形成し、FET28の配線を完了する。

【0027】この例では、ゲート長L(図9(B)参照)を計測する方向と平行な方向に溝39を延在させ、溝39の配設個数を3個及び深さを、平面的に見た場合のゲート幅W1(図9(B)参照)の $1/4$ の長さとしたので、FET28の実効的なゲート幅W2は $W2 = W1 + (W1/4) \cdot 6 = 2.5 \cdot W1$ となる。従って平面的に見た場合のゲート幅W1が従来と同じ大きさであっても、この実施例では実効的なゲート幅W2は平面的に見た場合のゲート幅W1の2.5倍であるのでドレイン電流量を従来の場合の2.5倍に増やせその結果FETの動作速度を従来よりも速くすることができる。観点

を変えれば、ドレイン電流量を従来と同じとして比較した場合、この実施例では平面的に見た場合のゲート幅W1を従来 $1/2.5$ 倍に縮小でき、これはLSIの集積化に大きく寄与するものである。

【0028】またCMOS(Complementary MOS)構造のLSIでは、nチャネル及びpチャネルMOSFETのそれぞれのドレイン電流量を、動作速度が最大に成るようにそれぞれ個別に最適化することが重要である。この実施例ではこの発明をnチャネルMOSFETに適用した例につき説明したが、この発明をCMOS構造のLSIが備えるnチャネル及びpチャネルMOSFETの双方に適用すれば、溝の深さ及び配設個数を任意好適に設計することにより、動作速度を最大とするようにnチャネル及びpチャネルMOSFETそれぞれのドレイン電流量を最適化することが容易となる。

【0029】この発明は上述した実施例にのみ限定されるものではなく、従って各構成成分の形状、配設位置、形成材料、形成方法、数値的条件、延在方向、数値的条件及びそのほかを任意好適に変更することができる。

【0030】

【発明の効果】上述した説明からも明らかなように、この発明の電界効果トランジスタによれば、溝はソース領域及びドレイン領域を結ぶ方向に延在するので、素子形成領域の溝を設けた部分ではドレイン電流が流れる方向と交差する方向における素子形成領域の表層部分の長さPが溝を設けない場合よりも長くなり、従って実効的なゲート幅が増加する。従ってこの発明によれば、平面的に見た場合のゲート幅が従来と同じ大きさであっても、実効的なゲート幅を平面的に見た場合のゲート幅よりも大きくすることができるのでドレイン電流量を従来よりも増加させこれにより動作速度を従来よりも速くすることができる。

【0031】また平面的に見たときの素子形成領域の面積を一定としたままであっても溝の配設個数及び又は深さを増加させると長さPが増加するので、平面的に見たときの素子形成領域の面積を増加させずに実効的なゲート幅を増加させることができる。従ってこの発明によれば、ドレイン電流量を従来と同じとして比較した場合、平面的に見た場合のゲート幅を縮小することができるので従来よりも素子構造を微細化できる。

【図面の簡単な説明】

【図1】この発明の実施例の基本構造を概略的に示す要部切欠斜視図である。

【図2】(A)及び(B)は同一工程段階における製造途上の様子を概略的に示す要部断面図及び要部平面図である。

【図3】(A)及び(B)は異なる工程段階における製造途上の様子を概略的に示す要部断面図である。

【図4】(A)及び(B)は同一工程段階における製造

途上の様子を概略的に示す要部断面図及び要部平面図である。

【図 5】 (A) 及び (B) は同一工程段階における製造途上の様子を概略的に示す要部断面図及び要部平面図である。

【図 6】 (A) 及び (B) は同一工程段階における製造途上の様子を概略的に示す要部断面図及び要部平面図である。

【図 7】 (A) 及び (B) は同一工程段階における製造途上の様子を概略的に示す要部断面図及び要部平面図である。

【図 8】 (A) 及び (B) は同一工程段階における製造途上の様子を概略的に示す要部断面図及び要部平面図である。

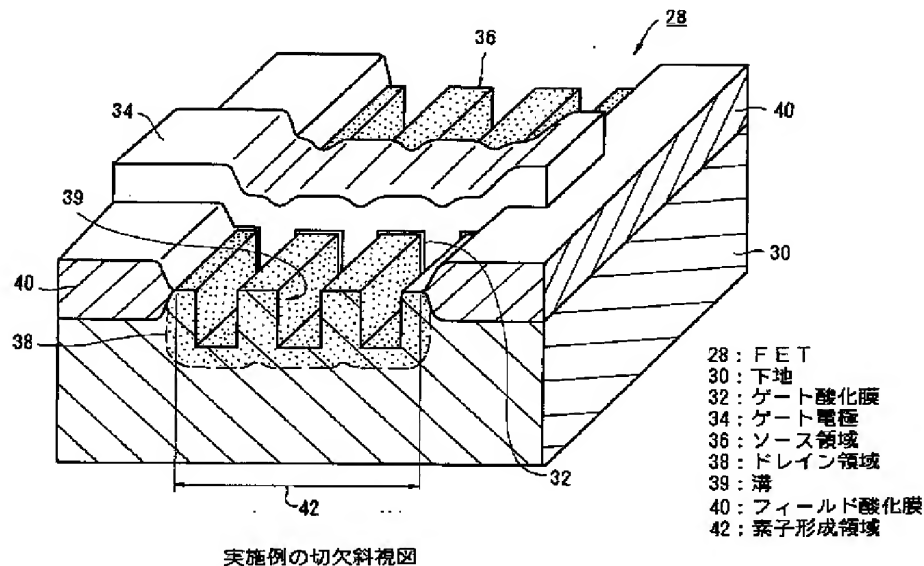
【図 9】 (A) 及び (B) は同一工程段階における製造途上の様子を概略的に示す要部断面図及び要部平面図である。

【図 10】 (A) 及び (B) は従来の MOS FET の構成を概略的に示す要部断面図及び要部平面図である。

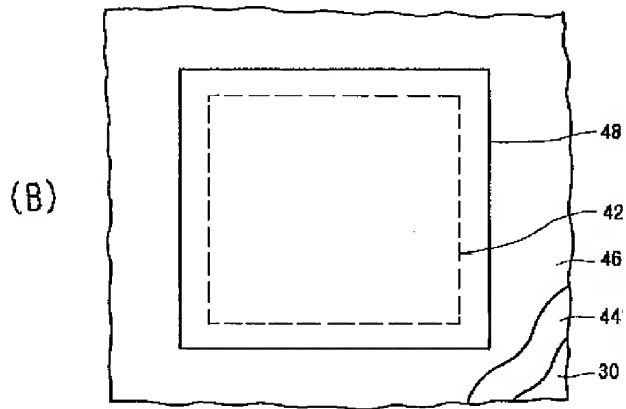
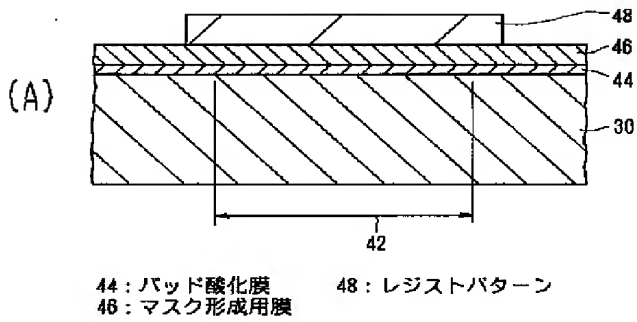
【符号の説明】

- 28 : F E T
- 30 : 下地
- 32 : ゲート酸化膜
- 34 : ゲート電極
- 36 : ソース領域
- 38 : ドレイン領域
- 39 : 溝
- 42 : 素子形成領域

【図 1】

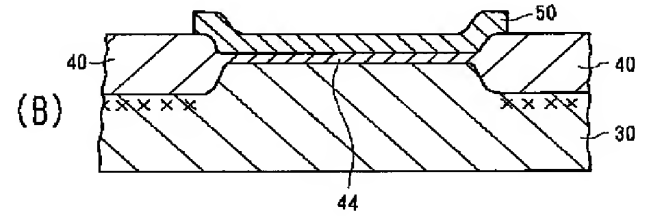
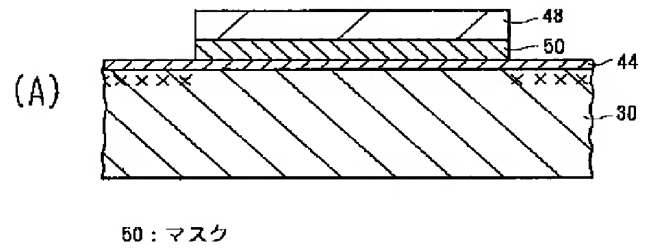


【図 2】



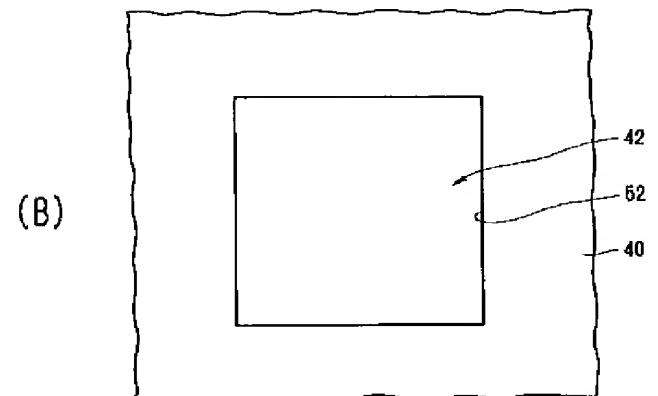
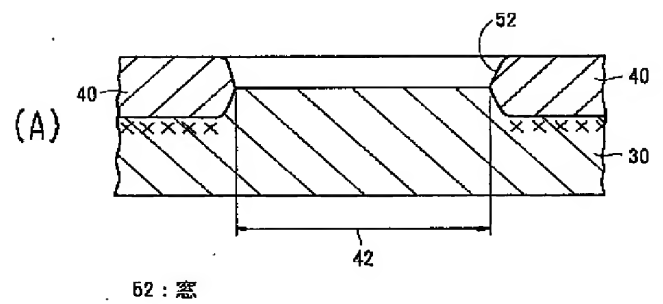
実施例の F E T の製造工程の一例

【図 3】



実施例の F E T の製造工程の一例

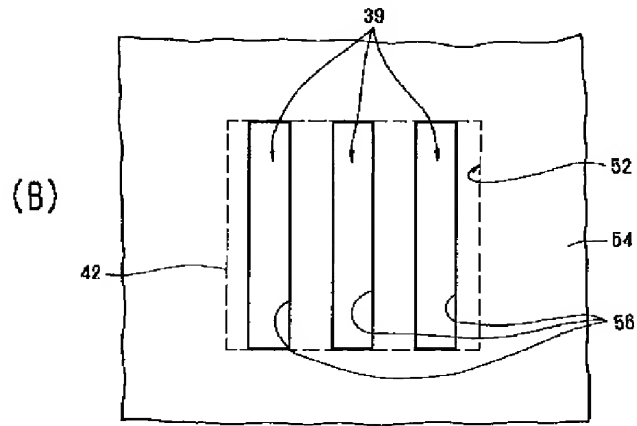
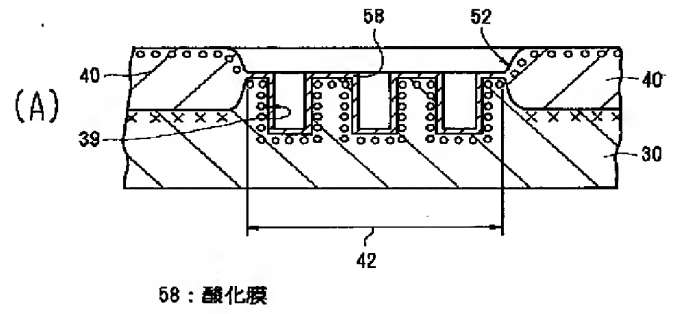
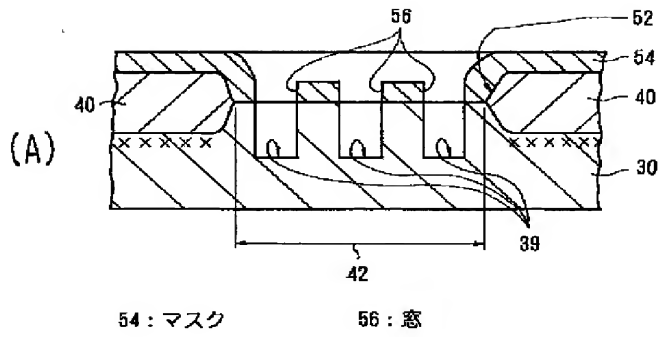
【図 4】



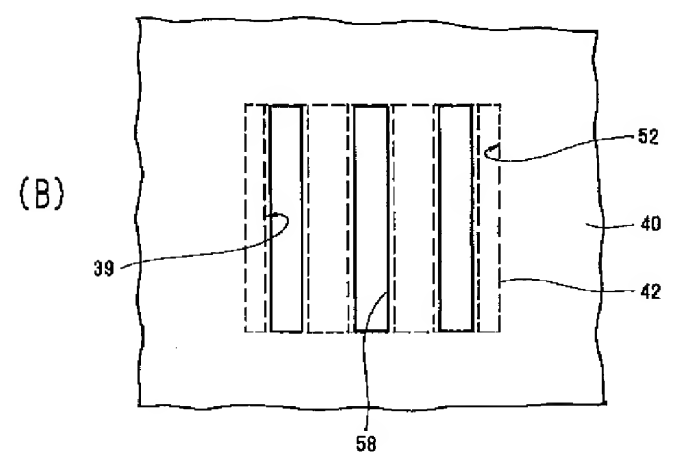
実施例の F E T の製造工程の一例

【図 5】

【図 6】

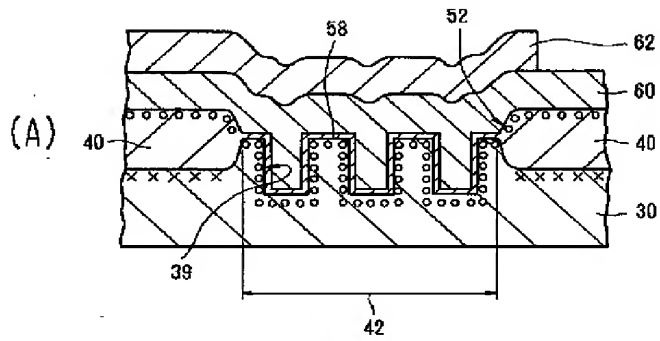


実施例の FET の製造工程の一例



実施例の FET の製造工程の一例

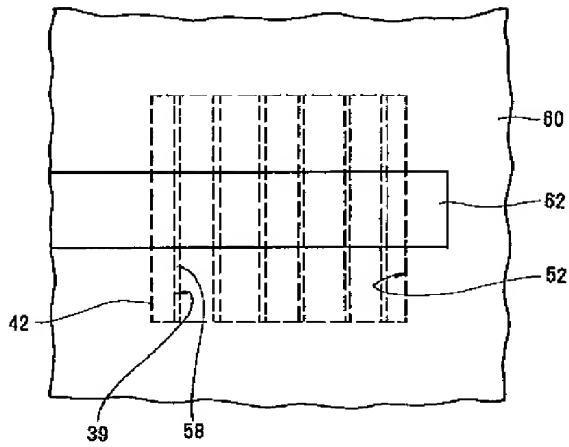
【図7】



60 : ポリシリコン膜

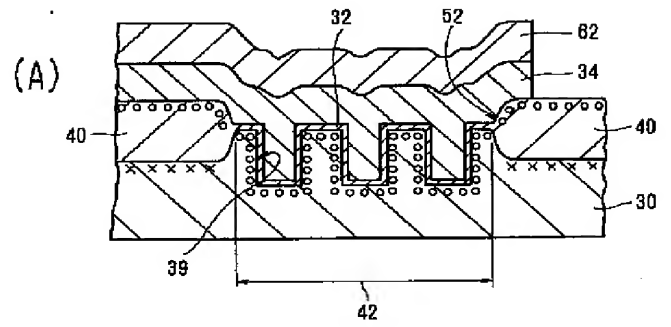
62 : マスク

(B)

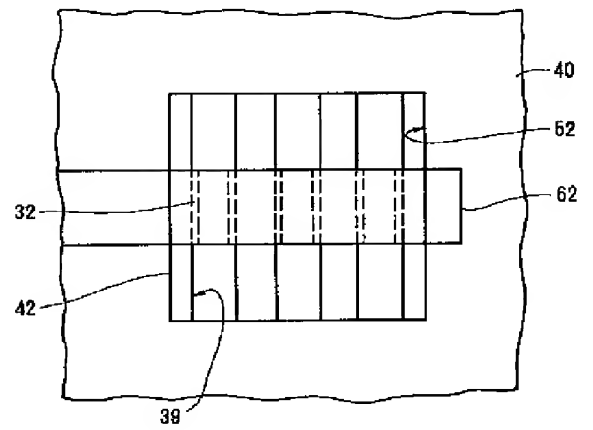


実施例のFETの製造工程の一例

【図8】

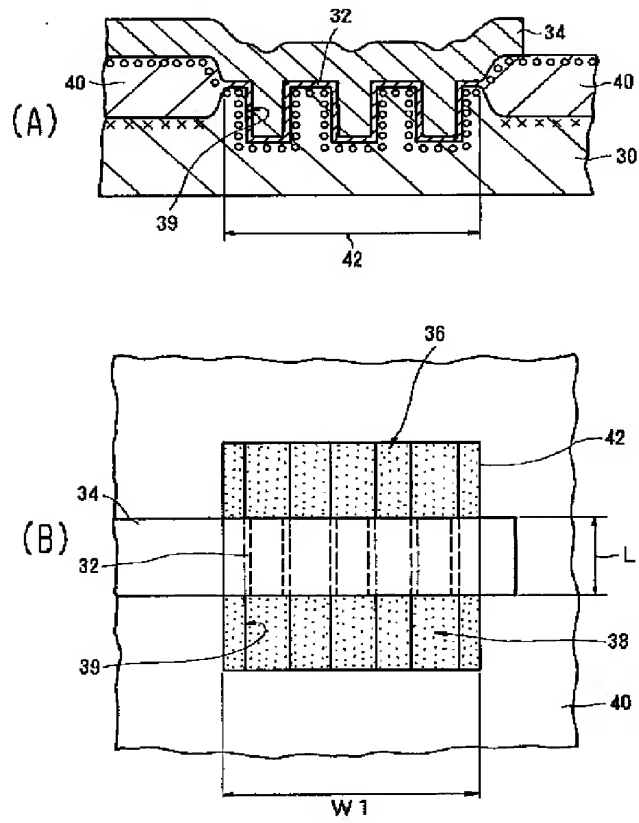


(B)



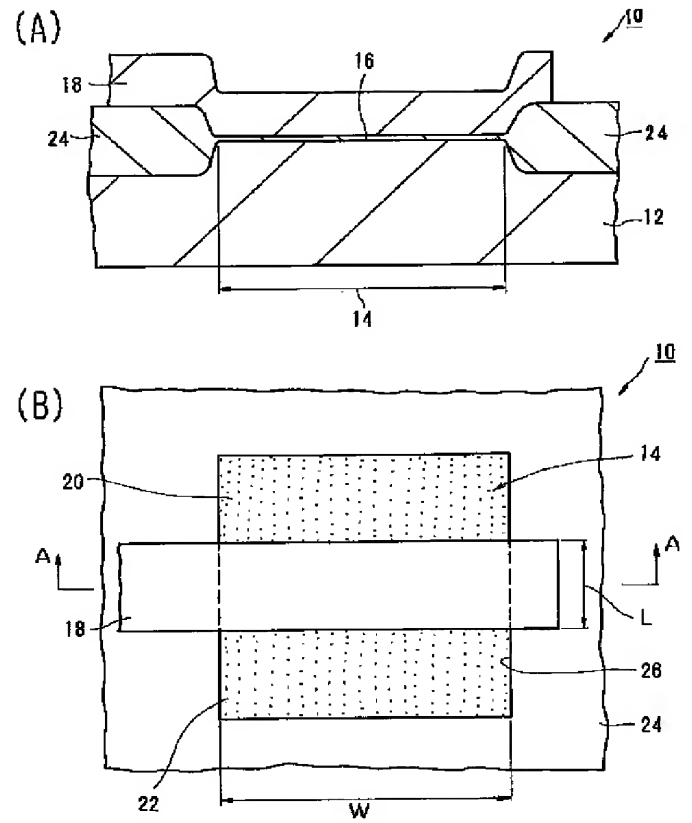
実施例のFETの製造工程の一例

【図9】



実施例のFETの製造工程の一例

【図10】



従来のMOSFET